

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-263998
(43)Date of publication of application : 20.10.1989

(51)Int.Cl.

G11C 17/00

(21)Application number : 63-092330

(71)Applicant : NEC CORP

(22)Date of filing : 13.04.1988

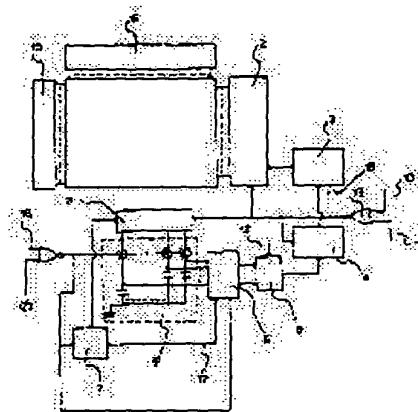
(72)Inventor : NISHIZAWA KAZUYUKI

(54) NONVOLATILE MEMORY DEVICE

(57)Abstract:

PURPOSE: To make a nonvolatile memory writable or erasable even when the characteristics of the memory cell of the memory changes by sampling the characteristics of the memory cell and setting a writing or erasing time in accordance with the characteristics of the memory cell.

CONSTITUTION: When a write request 10 or erase request 11 is outputted at the time of write or erase request, a write and erase control circuit 2 applies a write or erase voltage generated by a write and erase voltage generating circuit 3 across a memory cell against the address indicated by a column and row decoders 15 and 16. The write and erase voltage generating circuit 3 supplies the write or erase voltage to the write and erase control circuit synchronously to the write or erase time set by a write and erase time control circuit 4. The write and erase time control circuit 4 sets a write or erase time in accordance with the data of a comparator circuit 5. Therefore, write or erase can be performed stably even when the characteristics of the memory cell change and, as a result, the service life of the memory cell can be extended.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

4

⑯ 日本国特許庁 (JP) ⑯ 特許出願公開
 ⑰ 公開特許公報 (A) 平1-263998

⑯ Int. CL.⁴
 G 11 C 17/00

識別記号 309
 庁内整理番号 A-7341-5B
 C-7341-5B

⑯ 公開 平成1年(1989)10月20日

審査請求 未請求 請求項の数 1 (全5頁)

④ 発明の名称 不揮発性メモリ装置

② 特願 昭63-92330
 ② 出願 昭63(1988)4月13日

② 発明者 西沢一幸 東京都港区芝5丁目33番1号 日本電気株式会社内
 ② 出願人 日本電気株式会社 東京都港区芝5丁目33番1号
 ④ 代理人 弁理士 桑井清一

明細書

1. 発明の名称

不揮発性メモリ装置

2. 特許請求の範囲

電気的に書き込み消去可能な不揮発性メモリ装置において、メモリセルのしきい値電圧を検出する手段と、検出されたしきい値電圧から書き込み消去時間を決定する手段とを有し、メモリセルの特性に基づいて書き込み消去時間を変化させる手段を備えたことを特徴とする不揮発性メモリ装置。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は電気的に書き込み消去可能な不揮発性メモリに関し、特に不揮発性メモリの書き込み消去時間の制御に関する。

【従来の技術】

従来、電気的に書き込み消去可能な不揮発性メ

モリにおいて、書き込み、消去時間は、メモリセルの特性即ち書き込み消去の繰り返しによるメモリセルの劣化 (Endurance 特性)、高溫保管によるデータの消失わき出し (Retention 特性)、書き込み消去できる最短時間、書き込み消去電圧とその時間とといった、書き込み消去特性などからメモリセルの実力を評価し、統計的データ処理により、書き込み消去に対する規格を保証できる最適な時間 (例えば 10ms) に設定される。

【発明が解決しようとする問題点】

上述したように設定された書き込み消去時間は保証規格に対し、最適な値のはずであるが、実際にはメモリセル内での特性のバラツキがあるので、必ずしも最適とは言えない。また繰り返し、書き込み消去を行っているうちにメモリセルの特性が変わり、初めに設定した書き込み消去時間では、書き込み消去できなくなる可能性があると同時に、書き込み消去時間が固定なので繰り返し書き込み

特開平1-263998 (2)

消去することによりメモリセルが劣化したときにも、初期状態と同じストレスがメモリセルに加わるためメモリセルの寿命を早めるという欠点がある。

【発明の従来技術に対する相違点】

本発明は以上のような現状に鑑み従来のようにメモリセルの特性が変化したために書き込み消去できなくなったり、又書き込み消去時間が固定されているためにメモリセルの寿命を早めることができないようにメモリセルの特性を常にサンプリングし、メモリセルの特性に合わせて、書き込み消去時間を設定するという独創的な電気的に書き込み消去可能な不揮発性メモリを提供することを目的とする。

【問題点を解決するための手段】

本発明の電気的に書き込み消去可能な不揮発性メモリは、メモリセルに電荷がチャージされている時に、そのメモリセルのしきい値電圧を検出する

手段と、検出されたメモリセルのしきい値電圧から、そのメモリセルに対して最適な書き込み消去時間を設定する手段を有している。

【実施例】

次に本発明の実施例について図面を参照して説明する。

第1図は本発明の第1実施例を示すブロック図である。第3図にそのタイミングを示す。本実施例の電気的に書き込み消去可能な不揮発性メモリは、メモリセルアレイ(1)1、書き込み消去制御回路2、書き込み消去電圧発生回路3、書き込み消去時間制御回路4、比較回路5、選択回路6、電圧発生回路7、メモリセルアレイ(2)8、サンプリング回路9で構成されている。書き込み消去制御回路2は、書き込み消去要求があり、書き込み要求10、消去要求11が出ると列デコード15、行デコード16で示されるアドレスに対し、書き込み消去電圧発生回路3で発生した書き込み消去用電圧をメモリセルに印加する。書き込み消

去電圧発生回路3は、書き込み消去時間制御回路4で設定された書き込み消去時間に同期し書き込み消去制御回路2へ書き込み消去電圧を供給する。書き込み消去時間制御回路4は、比較回路5からのデータにより書き込み消去時間を決定する。具体的にはプログラマブルダウンカウンタやシフトレジスタなどで構成される比較回路5は選択回路6から選択された電圧と、基準電圧12を比較し、書き込み消去時間制御回路4に対し、結果を出力する。選択回路6はサンプリング回路9からの出力から任意のものを選択すると共に、メモリセルアレイ(2)8の各メモリセルをオンさせるためのタイミング信号17を電圧発生回路7に供給する。

サンプリング9はメモリセルアレイ(2)8の各メモリセルのオン電流を検出し、電圧に変換する。電圧発生回路7はメモリセルアレイ(2)8の各メモリセルをオンさせるための電圧を作り、その電圧を選択回路6からのタイミング信号17と書き込み要求10に同期しメモリセルアレイ(

2)8に供給する。

以上各構成要素について動作を説明したが、次に本実施例の全体的な動作を第3図を用いて説明する。書き込み状態と言うのはメモリセルに対して、電荷をチャージしている状態、又消去状態と言うのはメモリセルからチャージを抜いた状態であると定義する。メモリセルに対して書き込み要求が発行されると、通常の書き込み動作、すなわち書き込み要求10に同期し、書き込み消去時間制御回路4で設定された書き込み消去時間でメモリセルアレイ(1)1に書き込みが行われるが、それと同時にメモリセルアレイ(2)8にも書き込みが行われる。このときの書き込み消去時間はメモリセルの諸特性で書き込み消去電圧との関係で最適とされるもので行われる。書き込み消去時間が過ぎると同時に同期してメモリセルアレイ(2)8には選択回路6から発行されるタイミング信号17に同期し、電圧発生回路7より、メモリセルをオンさせることができが可能な最小電圧が印加される。このメモリセルをオンさせることができが可能な最小電

特開平1-263998 (3)

圧はメモリセルの諸特性から決定されるもので理想的のしきい電圧 $+ \alpha$ である。各メモリセルがオンしたときに流れる電流を各々 i_1, i_2, \dots, i_n とするとサンプリング回路9でサンプリングし、電圧に変換する。これらの電圧を用い選択回路6で電圧幅の最大と最小を選び出す。選び出された最大、最小の電圧幅と、書き込み状態として理想的（書き込み時間と電圧との関係で規格を保証できる最適な条件で書き込まれた場合）なメモリセルのしきい値である基準電圧12と比較し、基準電圧との差を検出する。書き込み消去時間制御回路4ではその検出されたデータを単位時間当たりのしきい値の変化量から時間に換算し、プログラマアルダウンカウンタまたはシフトレジスタへ人力されるクロックで設定値当たり、可変可能な時間と比較する。基準電圧との差に相当する時間が設定値当たり可変可能な時間以下であれば設定時間はそのまま越えたときに初めてその差が $+\alpha$ の場合にはダウンカウンタまたはシフトレジスタへの設定値を -1 し、 -1 の場合には $+1$ する。このようにして設定時間を可

変し、最適な値にする。従って次の書き込み消去は前述の処理後に設定された時間で行われる。この動作は書き込み時のみに行われ、しかも書き込み要求内で実行され消去時には行われない。というのはメモリのしきい値の変動は書き込み消去状態のどちらかをチェックすることにより、他方の変動は推測可能であり、多少の補正を加えるだけで対応することができるからである。本実施例において設定時間の精度を上げるためにには、サンプリングするメモリセルを増やせば良いと言うことが容易に推測される。

第2図は本発明の第2実施例を示すブロック図である。本実施例は第1実施例と基本的な動作としては同じであるが、メモリセルアレイ(1)1の全アドレスあるいは特定のアドレスに対して、サンプリングするため列デコーダ15、行デコーダ16に対しても選択回路からの制御信号が必要となる。この実施例では、メモリセルのしきい値電圧検出専用のメモリセルを持つ必要がないし、サンプリングする数を可変できるという利点があ

る。

【発明の効果】

以上説明したように本発明の電気的に書き込み消去可能な不揮発性メモリは書き込み消去されることに変化するメモリセルの特性を常にサンプリングし、その特性に合わせて書き込み消去時間を設定することができるのでメモリセルの特性が変化しても、安定して書き込み消去ができると共に、不要なストレスがメモリセルに加わらないのでメモリセルの寿命をのばすことができる効果がある。

4. 図面の簡単な説明

第1図は本発明の第1実施例を示すブロック図、第2図は本発明の第2実施例を示すブロック図、第3図は第1実施例の動作タイミング図である。

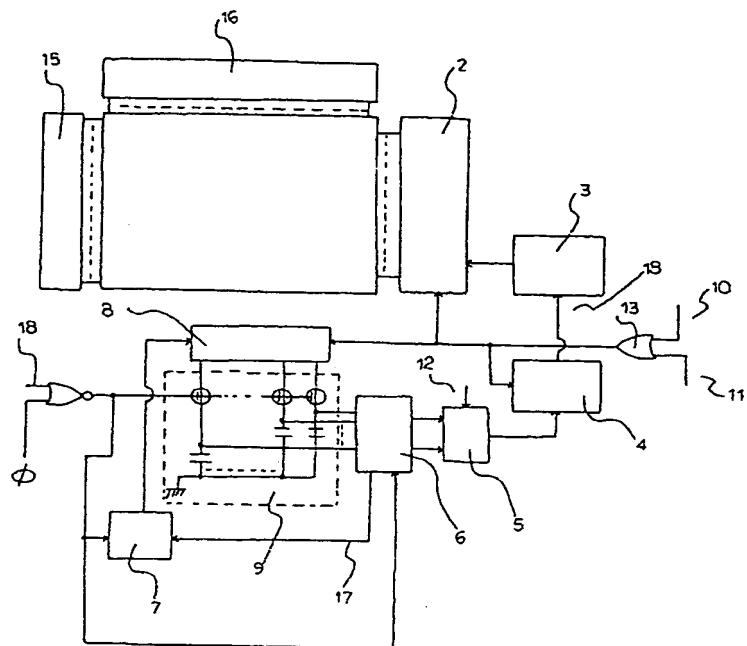
- 1 メモリセルアレイ(1)、
- 2 書き込み消去制御回路、
- 3 書き込み消去電圧発生回路、

- 4 書き込み消去時間制御回路、
- 5 比較回路、
- 6 選択回路、
- 7 電圧発生回路、
- 8 メモリセルアレイ(2)、
- 9 サンプリング回路、
- 10 . . . 書き込み要求、
- 11 . . . 消去要求、
- 12 . . . 基準電圧、
- 13 . . . オアゲート、
- 14 . . . 読み出し回路、
- 15 . . . 列デコーダ、
- 16 . . . 行デコーダ、
- 17 . . . タイミング信号。

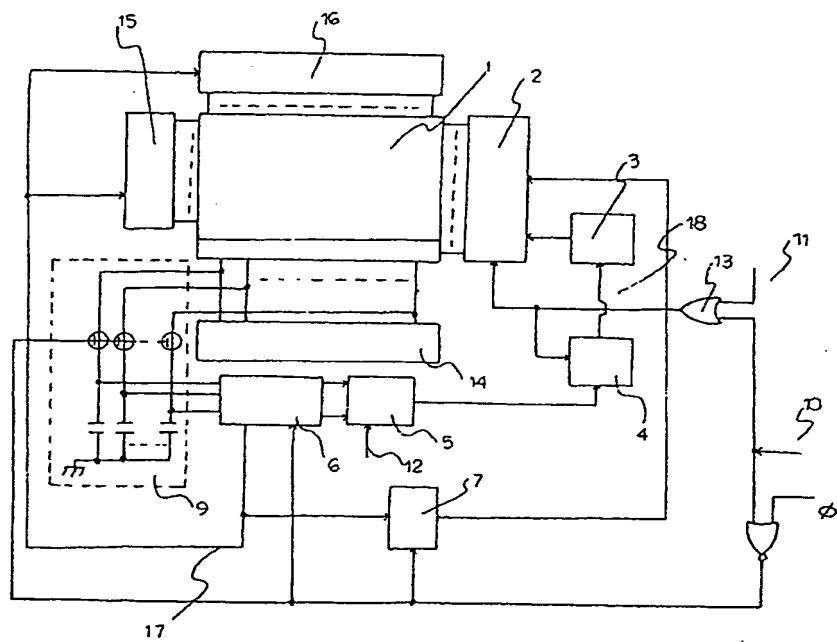
特許出願人 日本電気株式会社

代理人 弁理士 猪井清一

特開平1-263998 (4)

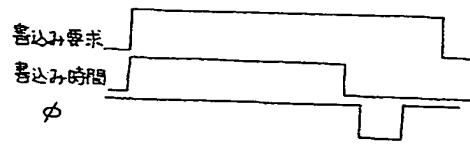


第 1 図



第 2 図

特開平1-263998 (5)



第3図